

2001年度プロジェクト型研究教育助成報告書

代表者氏名：磯 直行

所属学科：メディア科学科

職名：専任講師

課題名：レイアウトアルゴリズムのシステム LSI チップ設計への適用

目的

研究の背景

インターネットにより、携帯電話、PHS をはじめとする携帯情報端末は一気に普及した。今後も「IT 革命」の名のもと携帯情報端末が発展し続けるのは確実である。これらの携帯情報端末は、CPU、メモリそして入出力用素子等を 1 つのチップに集積することにより小型軽量化、低消費電力化、高速化を実現したシステム LSI 技術により支えられている。

次々と開発されるネットワーク技術に追従するため、半導体メーカーは短い設計期間でシステム LSI を開発することが求められている。半導体製品は設計後に不具合を発見した時の損害が非常に大きいため、設計の各段階で何度も検証が行われる。「配置処理」や「配線処理」といった素子間を接続する配線パタンの位置を決定する設計段階をレイアウト設計とよぶが、この段階における設計検証は以前より自動化が進んだものの設計者が CAD (Computer-Aided-Design: 計算機支援設計) システムと対話を行いながら最適な配置および配線パターンを決定しているのが現状である。

本研究者は、これまで VLSI やプリント配線板のレイアウト設計における配置配線処理の自動化に関する研究を行ってきた。特に、レイアウト設計および設計検証に着目し、その処理に必要な時間および記憶量に関して効率の良いレイアウトアルゴリズムを開発してきた。現在、開発したアルゴリズムの有効性を確かめるため、実際のレイアウト設計を行なうための設計システムとチップ試作の準備を行っているところである。

研究目的

本研究は、システム LSI の配置処理および配線処理アルゴリズムについて、実際に LSI 設計を行なうことにより、その性能を実験的に調べ改良することを目的とする。また、この研究を学部生および大学院生とともに実施することにより、システム LSI 設計教育の基盤を作ることを目的とする。

プロジェクト 構成員

教員：磯 直行

大学院生：柘植 芳之 (大学院 1 年生)

学部学生：中塚 昌樹, 小林 正芳 (学部 4 年生)

研究結果

システム LSI 設計システムの構築

本学部にはシステム LSI 設計システムが存在しないため、まず、そのシステム構築から行なった。ソフトウェアは、VDEC (東京大学大規模集積システム設計教育研究センター) から提供された CAD を用いた。CAD の使用ライセンスについては VDEC 中部サブセンター (名古屋大学) からネットワークを介して取得した。

一方、この CAD を実用的なレベルで動作させるハードウェアとして、大容量ディスク、高速な CPU、メモリを搭載したワークステーションが必要である。ディスクについてはメディアアートラボ内設置されている専用ワークステーションを用いることで解決可能であるが、CPU とメモリの問題は解決できず、専用ワークステーションを機器備品費として新規購入した。

また、教員の指導のもと学生がこのワークステーションの設定を行うことで、実際のネットワークシステムの動作とその設定方法、および CAD の取扱方法を習得することができた。

チップ設計

提案したアルゴリズムの実用性や構築システムの動作を確認するためには、実際にシステム LSI を設計し、その上で動作させると良い。これまで説明した LSI 設計システムを購入したワークステーション上に構築しチップ設計を行った。

購入したワークステーションの納品が 9 月であったが、10 月 1 日設計切りの LSI チップ試作ランに間に合わせないと年度内の完成が難しいと判断し、2 週間程度の短時間で LSI チップ試作を行なった。そのため、設計したチップ（回路）は構築したシステムが LSI チップの設計に十分であるかどうかを判断できる最小限の回路とし、非同期式 12 時間時計回路を選択した。入力はクロック信号のみ、出力は時、分、秒に相当するそれぞれ 2 桁の BCD 信号とした。この回路を構築したシステム上で 2.3mm 角チップ内に納めるように配置・配線設計を行なった。設計プロセスはオンセミコンダクタ社（旧モトローラ社）の 1.2 ミクロプロセスである。最終的にチップ上に CMOS 回路で 147 ゲートを集積した。使用したツールは回路動作シミュレーションに Cadence 社の Verilog-XL、高位合成に Synopsys 社の Design Analyzer、配置配線設計に Avant!社の Milkyway と Apollo、設計検証に Cadence 社の Virtuoso を用いた。

配置・配線設計作業のほとんどは学生が行なったが、切りに間に合うように教員が積極的に介入し作業を行なった。次の試作は学生が独力で設計することが望まれる。

チップ周辺回路設計

設計したチップが LSI として完成するまでの間、チップ周辺回路の設計を行なった。これはチップ単体では信号の入出力信号を確認できないため、周辺回路から信号を与えチップを動作させ、その振舞いを確認するためである。

設計した周辺回路は高精度なクロック信号を発生する回路、および BCD 出力を人間が視覚的にわかるように 7 セグメント LED 表示を行なう回路である。ともに単純な回路であるが、学生にとっては初めての製作であることを考慮し、プリント基板ではなく、ユニバーサル基板による配置配線設計を行なった。

2002 年 1 月、設計したチップが LSI として完成し、パッケージに入った 10 個の LSI が納品された。早速 LSI パッケージを周辺回路の LSI ソケットに装着し動作確認作業に入った。はじめは周辺回路に設計ミスや半田不良があり動作しなかったが、不具合を全て取り除き、期待通りの動作を確認した。最終的に LSI チップが設計通りの動作をすることが確認でき、本研究で構築したシステムの信頼性が確認できた。

アナログ的動作の解析

この他、本研究では設計した回路のアナログ的動作を解析する CAD ツールについても調査を行なった。デジタル回路であっても、高周波動作時のアナログ的動作を無視することはできない。本研究で試作した回路では低周波のデジタル回路として設計したため、設計するうえでの考慮はしなかったが、高周波動作を保証する場合には、CAD を用いて回路から浮遊素子量を抽出しアナログ動作シミュレーションで回路の動作を確認しなければならない。本研究で構築した設計システムでは Avant!社の Star-HSPICE がそのシミュレーションを実行可能である。そこで、学部学生 1 人に簡単な回路のシミュレーションを実行させ、その動作解析を行なった。今後より大きな回路についてアナログシミュレーションを行なう予定である。

全国向け CAD 講習会の開催

専用 CAD を利用した設計では技術的ノウハウが必要であり、初心者がいきなり設計できるものではない。そこで、VDEC と協力して CAD ベンダーから講師を招き、CAD 講習会を企画した。

3 月 4 日から 5 日は Cadence 社 Virtuoso Layout Editor について、3 月 6 日は Cadence 社 Dive Design Rule Checker について、3 月 7 日から 8 日は Avant!社の Star-HSPICE/Cosmos SE についての講習会を開催した。

講習会場として学部内に適切な環境がなかったため、VDEC 中部サブセンター（名古屋大学）の端末室を利用し、本研究も講師の一人として参加した。VDEC 中部サブセンターの端末については、本研究で購入した機器と同型機を20台導入し、インストール作業をあらかじめ本研究で購入した機器で行ない、そのデータを各端末に配信する形とした。各回20名程度の全国の大学および高等専門学校の教員および大学院生が参加し、講師の熱心な指導に耳を傾けた。

今後の研究

本研究助成により、本学部内に VLSI 設計システムの設計基盤を構築できた。今後はこのシステムを用いて、これまで提案してきたアルゴリズムの実現を行なう予定である。

まず、画像処理に用いられる距離変換に関する効率の良いアルゴリズムのハードウェアエンジン化を行なう予定である。この研究は名古屋大学平田富夫教授を中心とするグループとの共同研究として、今後実用化とハードウェア化によるさらなる高速化について研究を行なう予定である。この研究を実施するために、平成14年度以降に行なわれる以下の研究助成の申請を行なった。

- 平成14年度科学研究費補助金「特定領域研究」平成14年度発足特定領域
研究課題：「次世代IT社会のための戦略的コンピュータジオメトリ」
研究代表者：杉原厚吉（東京大学大学院情報理工学系研究科）（研究分担者の一人として磯 直行）
- 平成14年度科学研究費補助金「若手研究」
研究課題：「高速アルゴリズムを実現するメディアチップの開発」
研究代表者：磯 直行（中京大学情報科学部）

また、中京大学内に VDEC 中部サブセンター（名古屋大学）のような設備を整えた規模の大きな施設を実現することは難しいが、少なくとも中部・東海地区の VLSI 設計教育研究の知識の集約拠点としたいと考えている。

さらに、これらのシステム LSI 設計システムを教育に積極的に利用することを考えている。メディア科学科3年次専門科目「デジタル回路実験」では、簡単な回路設計と動作シミュレーションを行なう予定である。この実験では VDEC の CAD を一部利用する予定である。

このように、本研究は個人研究だけでなく、学部内のみならず全国の学部・大学院学生および教員の教育研究にも貢献できたものとする。

付録

- 試作した LSI（中央の1パッケージのみ開封し、チップが見えるようにした）
- 製作チップ周辺回路（中央の黒い部分が LSI を挿入したソケット）